

JTAG チャレンジ基板 取扱説明書



第 1.0 版

令和 2 年 7 月 8 日

特殊電子回路株式会社

重要 必ずお読みください

本製品を安全にお使いいただくために、以下に示す注意事項を必ずお守りください。万が一、誤った使い方をされますと、お客様のターゲットボードの破損、怪我、火災の原因となるおそれがあります。

1. 通電状態の機器に触れる際には、破損や感電、怪我などに十分ご注意ください。
2. 本製品を誤った方向に差し込むと、ハードウェアが破損することがあります。また、本製品の挿抜は必ず電源断の状態で行ってください。
3. 本製品に強い振動や衝撃、熱を与えないで下さい。
4. 万が一、異常を感じた場合は速やかに電源を OFF にし状況を確認してください。

本製品は、教育や試作など FPGA の動作検証目的などを想定して作られており、この装置を使用した結果は一切保証できません。本製品はお客様機器の研究・開発・評価・教育用としてのみご使用ください。

また、書面による事前の許諾なしに次に掲げるハイリスク用途に使用することはできません。

1. 人命に関わる機器
2. 医療機器
3. 誤動作により、人体、財産または自然環境に影響を及ぼす可能性のある機器
4. 誤動作により、火災の発生を起こさせる可能性のある機器
5. 航空・宇宙機器およびナビゲーションシステム
6. 兵器システムあるいは軍事目的の機器を製造または製造の支援をするための機器
7. 原子力関連機器
8. 電動工具
9. その他、デバイスの誤動作やデータの消失によって、何らかの損害を被る場合や何らかの問題が生じる装置

目次

1. はじめに.....	4
2. ハードウェアの説明.....	5
2. 1 基板ハードウェアの説明	5
2. 2 主なコンポーネントの説明.....	6
2. 3 主なジャンパ・コネクタの説明	8
2. 3 主なスイッチ・LED の説明	10
2. 4 JTAG チェーン	11
3. RX マイコンの書き込み.....	13
3. 1 RX マイコン・ファームウェアの必要性.....	13
3. 2 ブートモードでの起動とドライバのインストール	13
3. 3 RXProg の起動.....	16
4. MITOUJTAG Pro 体験版の操作.....	17
4. 1 MITOUJTAG とは	17
4. 2 ソフトウェアのインストール	17
4. 3 初回起動とライセンスキー.....	18
4. 4 デバイスドライバのインストール.....	19
4. 5 MITOUJTAG からの認識	20
4. 6 デバイスの自動認識.....	21
4. 7 可視化を行う	22
4. 8 端子の操作	23
4. 9 Spartan-7 への書き込み.....	24
4. 10 基板の動作を確認する	25
4. 10 SVF プレイヤーによる MAX10 の書き込み.....	26
4. 11 信号名の設定	27
4. 12 JTAG ロジックアナライザの起動	29
5. 課題編.....	30
5. 1 準備	30
5. 2 低レベル JTAG 操作	30
5. 3 JTAG ロジアナによるアナログ波形確認	30
5. 4 SAMPLE と EXTEST による端子の操作	31
5. 5 基板デバッグ	32
5. 6 BPI フラッシュ ROM.....	32
5. 7 簡易基板検査.....	33
6. FPGA の説明	34
7. 付録 CD-ROM.....	36

1. はじめに

JTAG チャレンジ基板(以下、本基板と略す)は、JTAG バウンダリスキャンを習得するための学習用基板です。本基板と包括的 JTAG サポートソフトウェア「MITOUJTAG (みとうジェイタグ)」の使い方と、JTAG バウンダリスキャンによる基板デバッグの方法を学ぶことができます。

本基板には、ADC、DAC、CPLD、FPGA、ROM、SDRAM など様々なコンポーネントが搭載されていますが、回路・基板設計者が間違えるようないくつかの設計ミスが施されています。そのため、出荷時の状態では正しく動作しません。JTAG を使って基板に仕込まれた設計ミスを見つけながら正しく動作するように修正していくのが本基板のめざすチュートリアルです。

本基板を使用するには表 1 に示すものが別途必要となります。これらの物品はお客様各自でご用意ください。また、XILINX Vivado、Intel Quartus などのツールがあれば、CPLD および FPGA のソースを書き換えて動作を確認することが可能ですが、必ずしも必須ではありません。Vivado および Quartus のエディションは無償版で構いません。

表 1 別途用意するもの

- | |
|---|
| <ul style="list-style-type: none"> ・ Windows 8.1 以降が動作する PC ・ 半田ごて、はんだ、ピンセットなど工具 ・ ジャンパ線 |
|---|

本基板の想定する動作は、音声を取り込んで ADC と MAX10 CPLD でデジタル化し、Spartan-7 FPGA と $\Delta \Sigma$ DAC でアナログ信号に戻すというものです。

すべての回路コンポーネントが正しく動作するようになった際には、以下のような特徴を兼ね備えた汎用の評価ボードとしてご利用いただけます。

- Spartan-7 FPGA と DDR3 メモリと BPI フラッシュ ROM の評価用ボード
- MAX10 CPLD と AD コンバータの評価用ボード
- RX62N/63N マイコンの評価用ボード
- LPC11Uxx Cortex-M マイコンの評価用ボード
- 上記のコンポーネントを相互に接続する評価用ボード

2. ハードウェアの説明

2.1 基板ハードウェアの説明

写真1に本基板の外観と主なコンポーネントを示します。

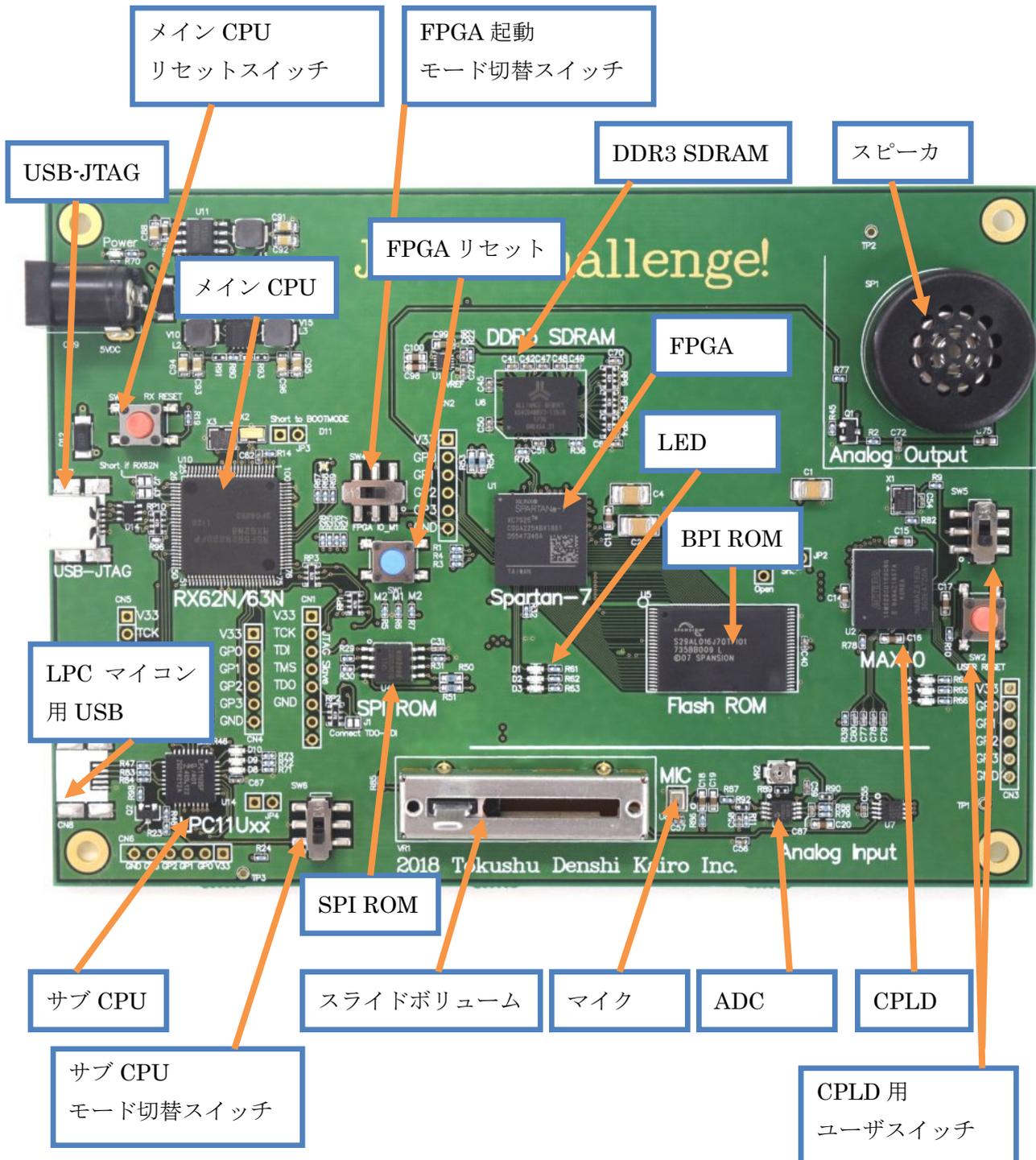


写真1 JTAG チャレンジ基板の外観と主なコンポーネント

図 1 に本基板のブロック図を示します。

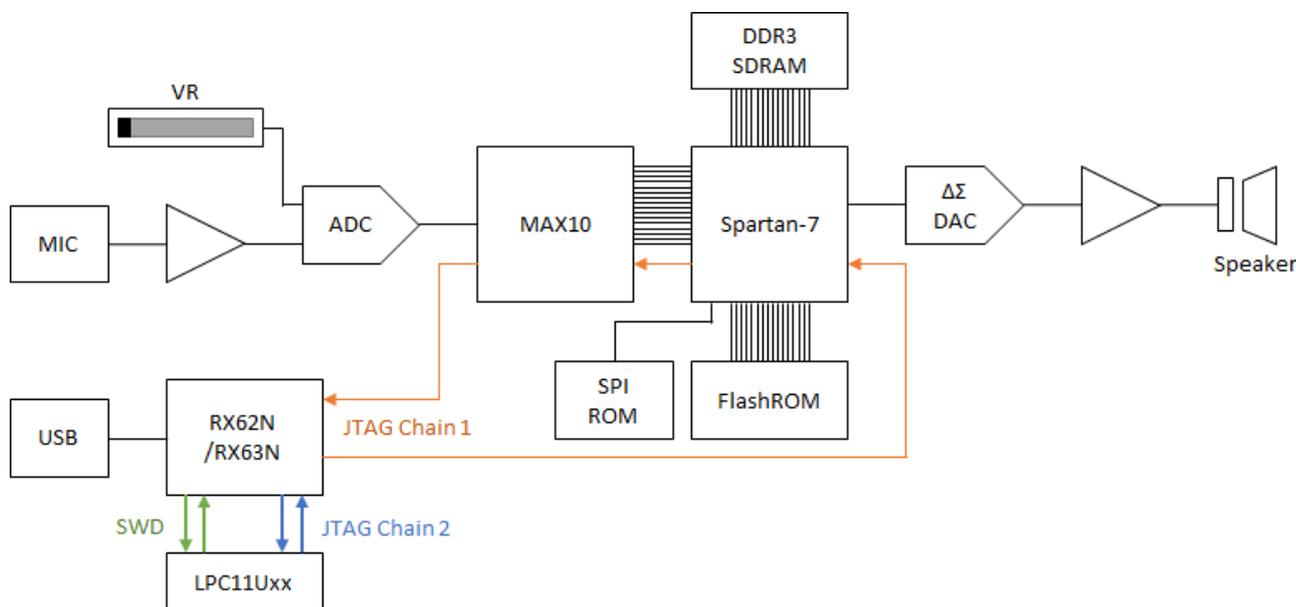


図 1 本基板のブロック図

2. 2 主なコンポーネントの説明

基板上の主要なコンポーネントの概要を説明します。各種コンポーネントと FPGA、CPLD、CPU との接続情報は回路図を参照してください。

(1) FPGA

本基板に搭載されている FPGA は XILINX 社の Spartan-7 である XC7S25-1CSGA225 です。

この FPGA には DDR3 SDRAM と FlashROM、SPI ROM が接続されていて、CPLD(MAX10)とは 16bit のデータバスで接続されています。

(2) CPLD

本基板に搭載されている CPLD は、Intel 社の MAX10 である、10M02SCU169C8G です。

この CPLD にはシリアル接続の ADC が接続されています。ADC のコントロールは CPLD から行います。

(3) メイン CPU(RX マイコン)

メイン CPU として、RX マイコンは RX62N(または RX63N)である R5F562N8BDFP が搭載されています。このマイコンは USB-JTAG としての役割を行い、FPGA と CPLD がつながる JTAG チェーン 1 への信号送出、LPC マイコンがつながる JTAG チェーン 2 への信号送出、LPC マイコンへの SWD の送出を行います。

(4) USB-JTAG

本基板には USB-JTAG が搭載されていて包括的 JTAG サポートソフトウェア「MITOUJTAG」からバウンダリスキャンができます。

(5) SPI フラッシュ ROM

FPGA のコンフィギュレーション用 ROM として、Winbond 社の W25Q32JVSIQ(または相当品)が搭載されています。容量は 32Mbit です。

(6) BPI フラッシュ ROM

FPGA の汎用 I/O に、BPI(パラレル)接続のフラッシュ ROM が搭載されています。このフラッシュ ROM はコンフィギュレーション用に使用することはできません。

(7) サブ CPU(LPC マイコン)

サブ CPU として、LPC11U35 が搭載されています。この CPU は特に何かの機能を持っているわけではなく、JTAG でデバッグされるターゲットとして搭載されています

(8) マイク

オンボードの MEMS マイクロフォンです。音声を AD コンバータのチャネル AIN0 でサンプリングすることができます。

(9) スライドボリューム

AD コンバータのチャネル AIN1 に手作業で 0V~2.5V を与えるためのものです。

(10) AD コンバータ

TouchStone 社の TS7001 が搭載されています。アナログ入力の AIN0 にはマイクロフォンが、AIN1 にはスライドボリュームが接続されています。

(11) スピーカ

FPGA の汎用 I/O に 1bit で接続され、PWM または $\Delta \Sigma$ で変調された信号を与えます。

2. 3 主なジャンパ・コネクタの説明

写真2に、基板上的の主要なジャンパ・コネクタを示します。

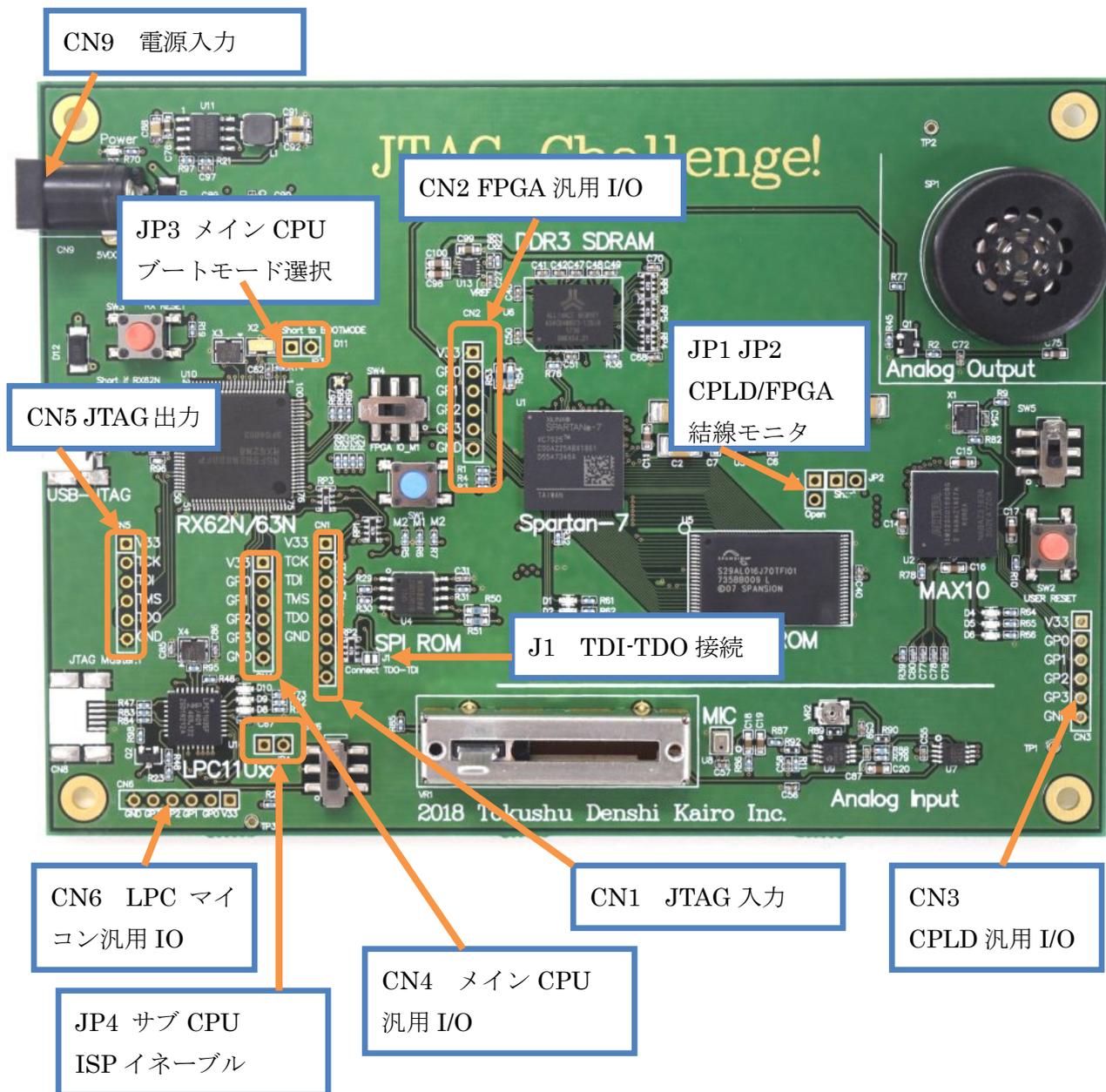


写真 2 JTAG チャレンジ基板の主要なジャンパ・コネクタ

表 2 ジャンパの説明

番号	名称	機能
JP1 JP2	CPLD/FPGA 結線モニタ	FPGA と CPLD 間の結線および信号の状態をオシロスコープ等で見たり、短絡・切断したりするためのポートです
JP3	メイン CPU ブートモード選択	RX マイコンの MD0(MD)端子に接続されています。ショートした状態でリセットすると、RX マイコンは ISP(書き込み)モードになります。
JP4	サブ CPU ISP イネーブル	LPC マイコンの ISPEN 端子に接続されています。ショートした状態でリセットすると、RX マイコンは ISP(書き込み)モードになります。
J1	TDI-TDO 接続	FPGA と CPLD 間の JTAG をチェーン接続するジャンパで、デフォルトでショートします。 このジャンパは FPGA と CPLD 間の JTAG を切断し、個々のデバイスをメーカー純正ツールから個別に操作したい場合に使用します。
CN1	JTAG 入力	XILINX の Platform Cable USB や、ALTERA USB-Blaster などの外部 JTAG ケーブルを接続する際に使用します。標準の課題では使用しません。
CN2	FPGA 汎用 I/O	Spartan-7 FPGA に接続されている汎用の I/O ポートです。標準の課題では使用しません。
CN3	CPLD 汎用 I/O	MAX10 CPLD に接続されている汎用の I/O ポートです。標準の課題では使用しません。
CN4	メイン CPU 汎用 I/O	RX マイコンに接続されている汎用の I/O ポートです。標準の課題では使用しません。
CN5	JTAG 出力	本基板から外部に JTAG 信号を出力する際に使用します。標準の課題では使用しません。
CN6	LPC マイコン汎用 IO	LPC マイコンに接続されている汎用の I/O ポートです。標準の課題では使用しません。
CN7	USB-JTAG	RX マイコンに接続され、USB-JTAG の機能を行うほか、USB バスパワーによる本基板への電源供給を兼ねます
CN8	LPC マイコン	LPC マイコンに接続されます。特に使用しません。
CN9	電源入力	5V DC の電源を入力します。通常は CN7 からの USB バスパワーで動作するため使用しませんが、外部 JTAG ケーブルでの動作を確かめたい場合の電源供給用に使用します。

2. 3 主なスイッチ・LEDの説明

写真3に、基板上的の主要なスイッチとその機能を示します。

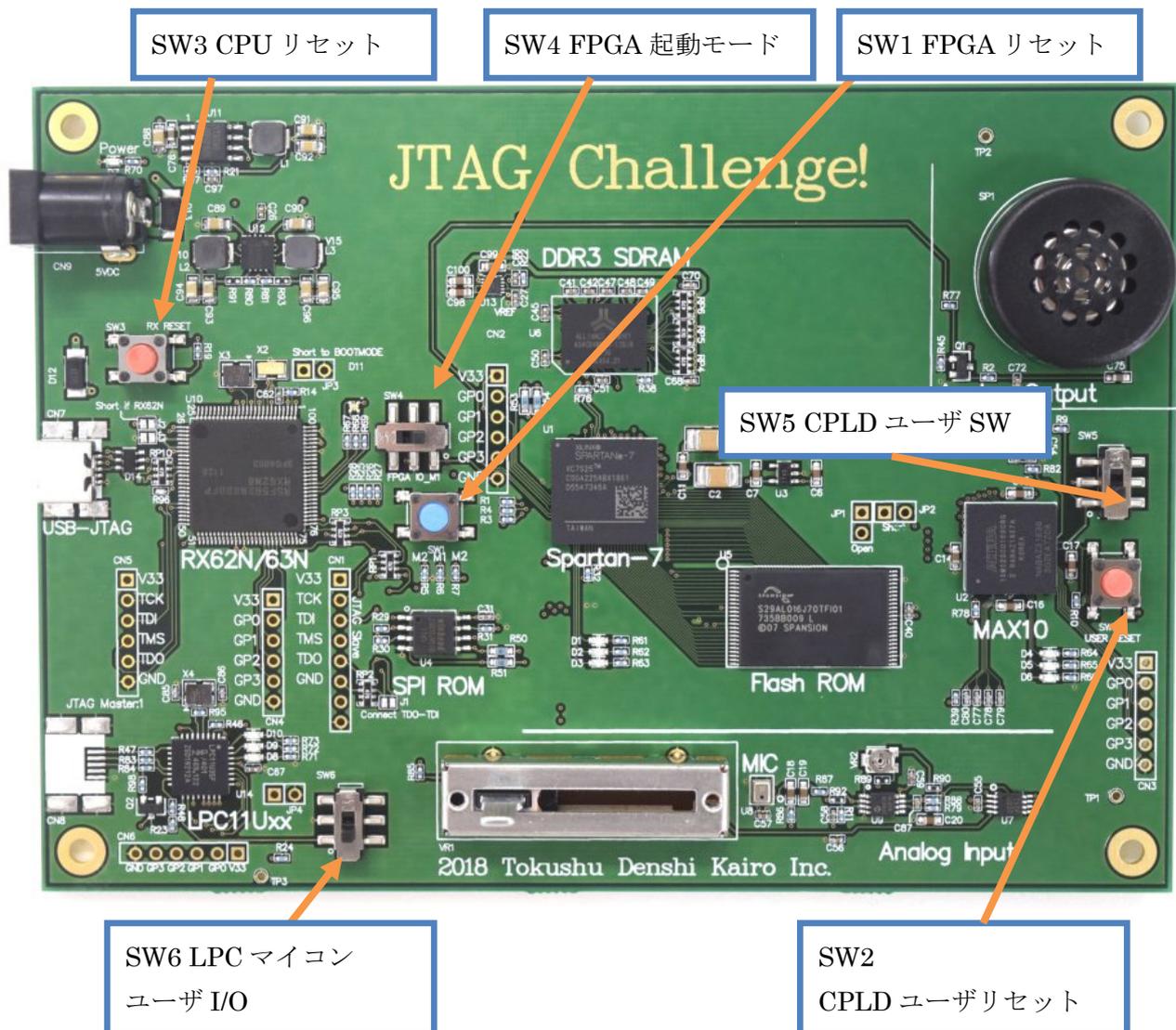


写真 3 JTAG チャレンジ基板の主要なスイッチ

表 3 スイッチの説明

番号	名称	機能
SW1	FPGA リセット	Spartan-7 FPGA の PROG_B を L にして、再コンフィギュレーションを促します
SW2	CPLD ユーザ リセット	CPLD の汎用 I/O に接続され、ユーザロジックで使用されます。(再コンフィギュレーションのためのものではありません)
SW3	CPU リセット	RX マイコンをリセットします
SW4	FPGA ユーザ SW	FPGA の汎用 I/O に接続され、ユーザロジックで使用されます。(起動モード設定のためのものではありません)
SW5	CPLD ユーザ SW	CPLD の汎用 I/O に接続され、ユーザロジックで使用されます。(起動モード設定のためのものではありません)
SW6	LPC マイコン ユーザ I/O	LPC マイコンの汎用 I/O に接続され、ユーザプログラムで使用されます。(起動モード設定のためのものではありません)

2. 4 JTAG チェーン

本基板の JTAG チェーンは、図 2 に示すように複数のチェーンがあります。このうち有効化されているのはチェーン 1 です。本基板の標準的な使い方ではオンボードの USB-JTAG と付属のツールを使用して、FPGA と CPLD をデバッグするため、CN1、CN5、J1 はデフォルトのまま変更する必要はありません。

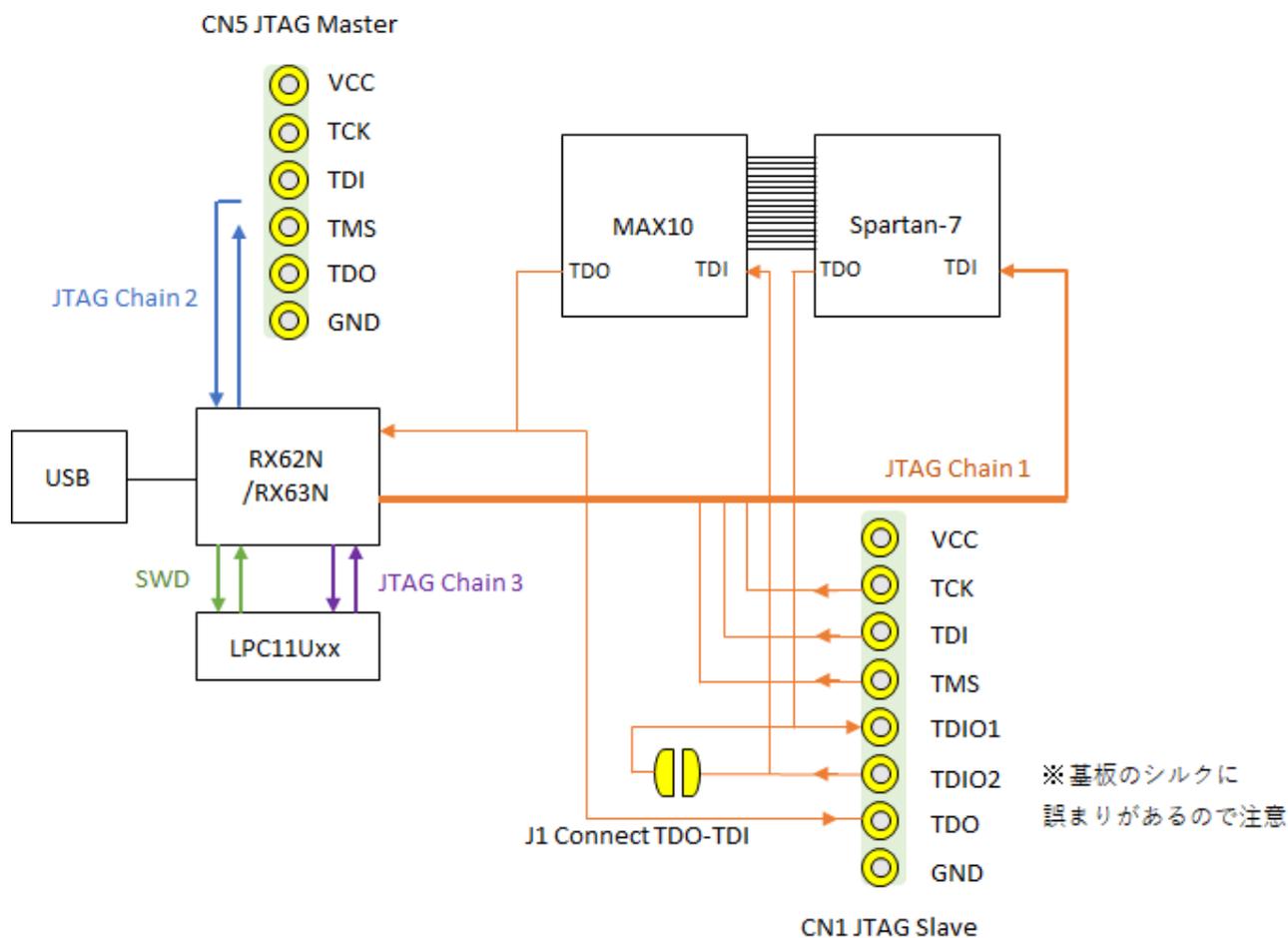


図 2 本基板の JTAG 構成図

CN1 は、Platform Cable USB や USB Blaster などの外部 JTAG を接続して、XILINX または Intel のツールから FPGA または CPLD を操作したい場合に際に使用します。

XILINX または Intel のツールは XILINX FPGA または Intel FPGA/CPLD が接続されていることを前提としているため、他ベンダーの FPGA/CPLD が接続されることを想定していません。そのため、J1 を切り離し、CN1 の 5 番(FPGA の TDO)、6 番ピン(CPLD の TDI)を使うことで、Spartan-7 FPGA と MAX10 CPLD に個別にアクセスできるようになっています。7 番ピンの TDO は全体のチェーンの TDO となっています。

JTAG チェーン 2 は本基板を USB-JTAG ケーブル化して他のボードへ接続する際に使用します。この JTAG 信号は CN5 から出力されます。現時点では JTAG チェーン 2 は有効化されていません。

JTAG チェーン 3 と SWD は、サブマイコン LPC11U(Cortex-M)のデバッグ手段です。

3. RX マイコンの書き込み

3. 1 RX マイコン・ファームウェアの必要性

本基板にはルネサスエレクトロニクス製の RX マイコン(RX62N または RX63N)が搭載され、USB-JTAG の機能を提供しています。**標準的なチュートリアルの実行のためには書き換えの必要はありません。むしろ起動しなくなるリスクがあるため、セミナー以外では書き換えをしないことが推奨です。**

出荷時にはメインの JTAG チェーン 1 をスキャンするようになっていますが、JTAG チェーン 3 をスキャンしたい場合や元に戻したい場合には、本章で述べる手順で書き換えます。

3. 2 ブートモードでの起動とドライバのインストール

写真 4 に示すように JP3 BOOTMODE ジャンパをピンセット等でショートしながら USB ケーブルを抜き差しするか、CPU リセットボタン(SW3)を押します。

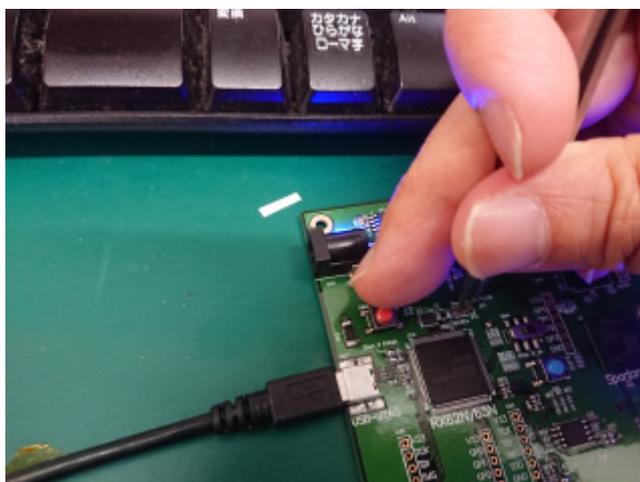


写真 4 BOOTMODE ジャンパをショートさせながらリセットを押す

RX マイコンがブートモードで起動し、Renesas USB1653 Boot Mode Device として認識されるので、デバイスマネージャを開き、「！」マークがついているデバイスがあることを確認します。



図 3 デバイスマネージャで見た Boot Mode Device

この「！」が付いたデバイスをクリックし、「ドライバの更新」を押し、「コンピュータを参照してドライバーソフトウェアを検索」を実行します。そして本基板付属 CD-ROM（あるいはダウンロードデータ）の rxduinodrv_x86x64 フォルダを指定します。

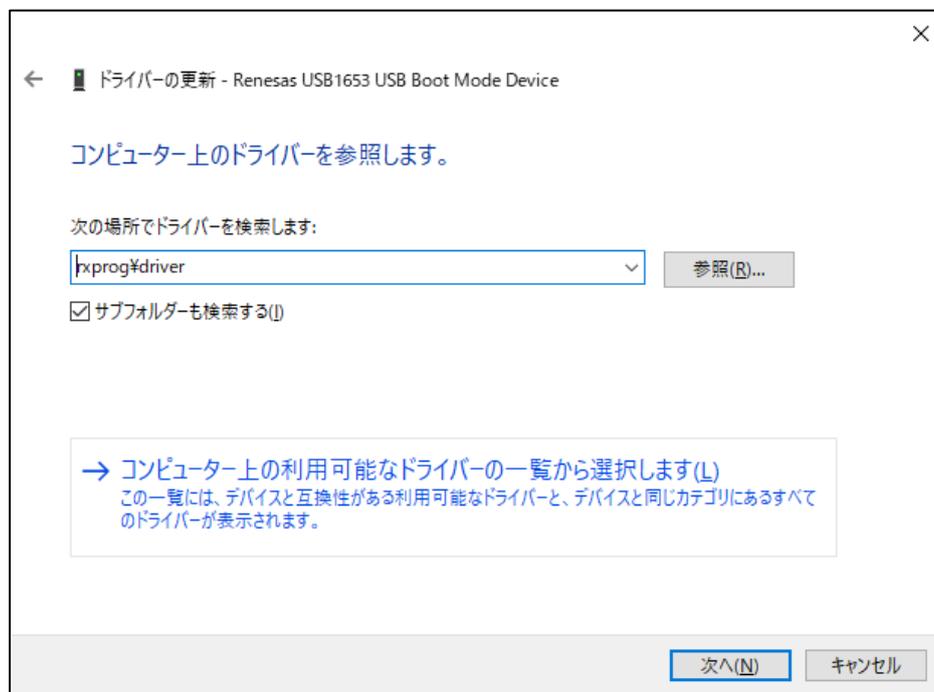


図 4 ドライバフォルダの参照

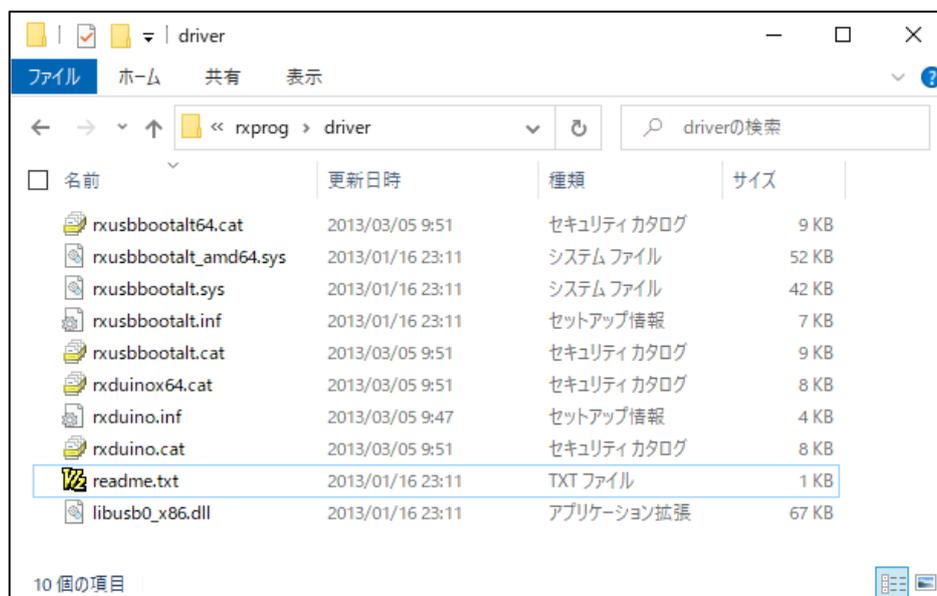


図 5 ドライバフォルダ

インストールが完了します。

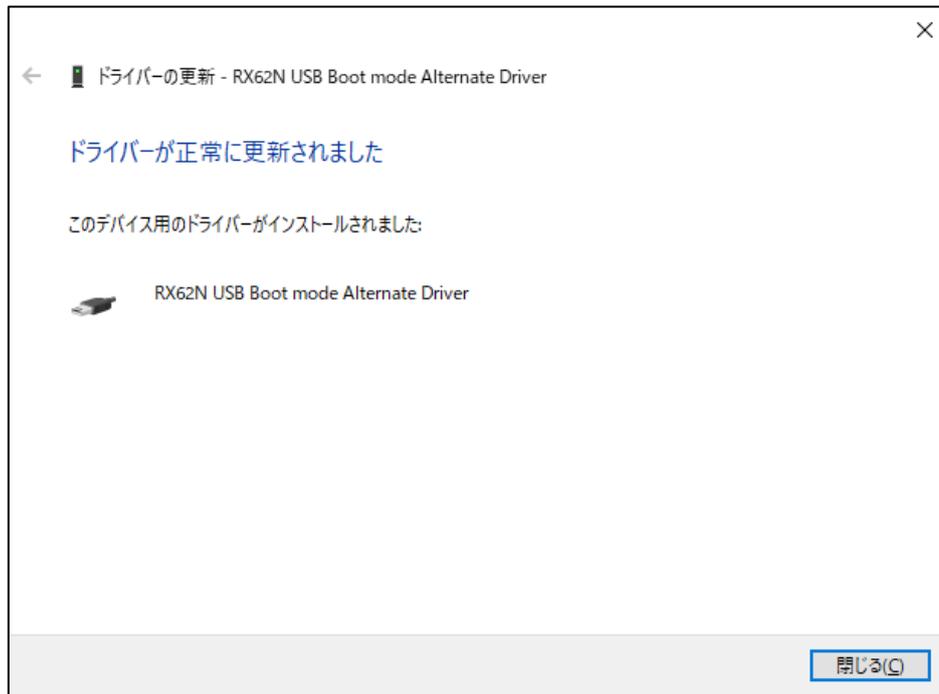


図 6 ドライバのインストールが完了

3. 3 RXProg の起動

本基板付属 CD-ROM（あるいはダウンロードデータ）の rxprog¥Windows 版フォルダにある rxprogwin.exe を起動します。



目的に応じて同フォルダにある mot ファイルを指定し、Write ボタンを押します。
mot ファイルと機能の対応は以下のとおりです。

- rxusbjtag.mot ・・・デフォルトのファームウェア(MITOUJTAG から使用)
- rxusbjtag_lpc.mot ・・・LPC マイコンをスキャンする(MITOUJTAG から使用)
- cmsisdap-raxino.mot ・・・CMSIS-DAP にする

書き込みが完了したらリセットボタンを押すと新しいプログラムで動作が開始されます。

4. MITOUJTAG Pro 体験版の操作

4.1 MITOUJTAG とは

MITOUJTAG とは、IC の端子の状態を見たり、操作したりすることができるツールです。本基板の付属 CD-ROM には MITOUJTAG Pro の体験版が収録されています。MITOUJTAG Pro 体験版は MITOUJTAG Pro の全機能を 1 か月間使用することができるものです。

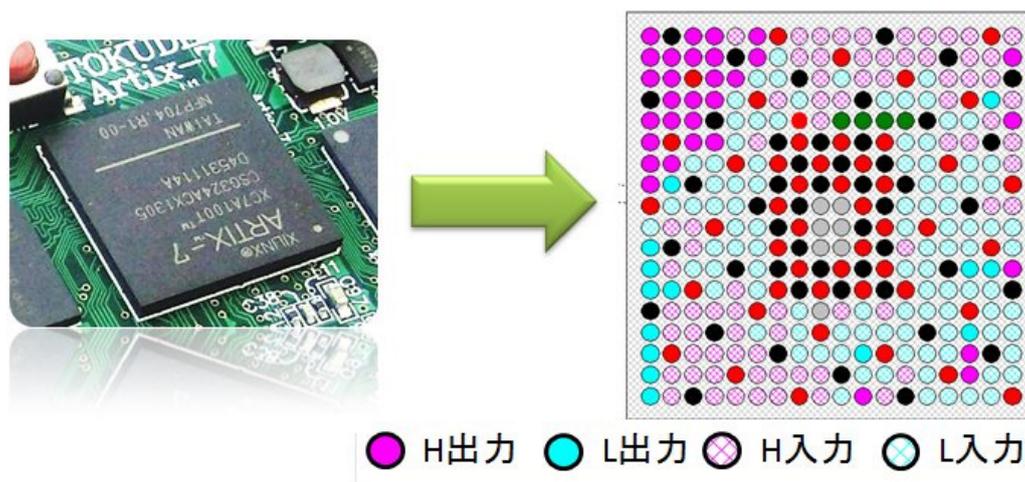


図 7 MITOUJTAG とは

4.2 ソフトウェアのインストール

付属 CD-ROM あるいはダウンロードデータの¥MITOUJTAG 体験版フォルダ 中にある MJProTrial330a.exe を実行してください。インストーラが起動します。



図 8 MITOUJTAG 体験版のインストール

インストール中にシリアル番号が要求されますので入力します。ユーザ名と所属の欄には何を入れても構いません。



図 9 シリアル番号の入力

4. 3 初回起動とライセンスキー

デスクトップにある MITOUJTAG Pro のアイコンをダブルクリックして実行します。

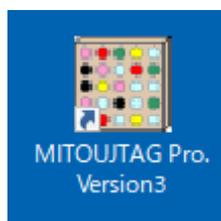


図 10 MITOUJTAG デスクトップ アイコン

タイトルバーが表示され、「ようこそ」というダイアログが表示されます。



図 11 初回起動時の流れ

この後、MITOUJTAG 体験版では初回起動時に「ライセンスキー」というものを要求されます。ライセンスキーはインターネットが接続可能な環境で「ここから取得」の URL をクリックすれば取得可能です。



図 12 ライセンスキー取得画面

一度 MITOUJTAG を終了してください。

4. 4 デバイスドライバのインストール

JTAG チャレンジ基板と PC をはじめて USB ケーブルで接続すると、新しいデバイスとして認識されます。Windows10 では USB-COM ポートとして自動設定される可能性があります。

もし、自動設定されない場合は、デバイスマネージャを開き、「！」が付いたデバイスを探し「ドライバの更新」を押し、「コンピュータを参照してドライバーソフトウェアを検索」を実行します。そして本基板付属 CD-ROM（あるいはダウンロードデータ）の rxduinodrv_x86x64 フォルダを指定します。

この操作により、USB シリアルデバイスとして認識されます。

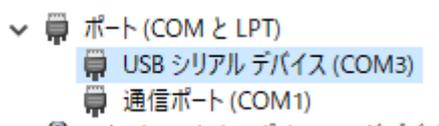


図 13 USB シリアルデバイスとして認識される

TeraTerm などのコンソールアプリでこの COM ポートを開き、ENTER を何回か押すと、図 14 のような文字列が表示されます。

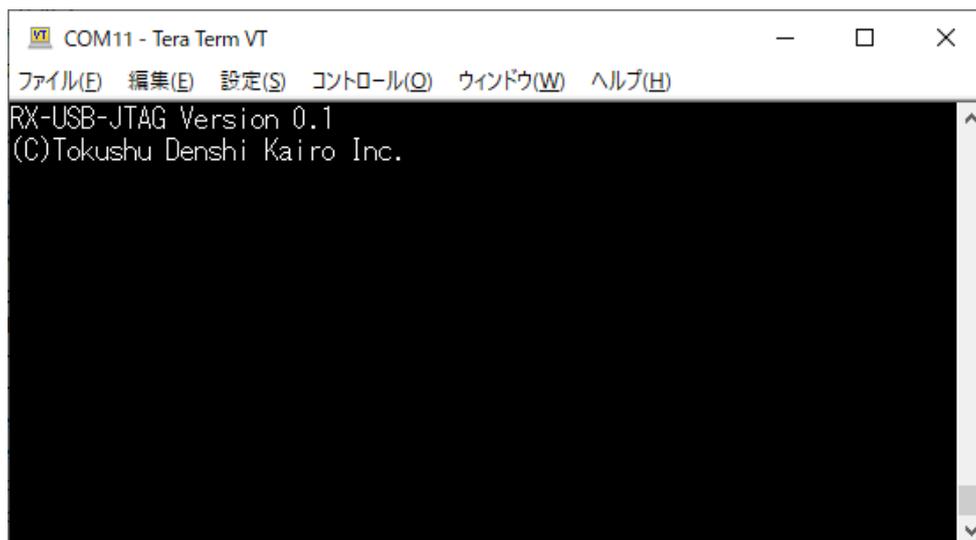


図 14 シリアルポートの通信

この RX-USB-JTAG Version 0.1 という表示が確認できればデバイスドライバのインストールは成功です。COM ポートの接続を切断して TeraTerm を閉じてください。

2 回目の起動からはこの操作は不要となります。

4. 5 MITOUJTAG からの認識

デバイスドライバをインストールし、JTAG チャレンジ基板を USB で接続した状態で MITOUJTAG Pro 体験版を起動すると、JTAG チャレンジ基板が「J-Writer」として認識されます。

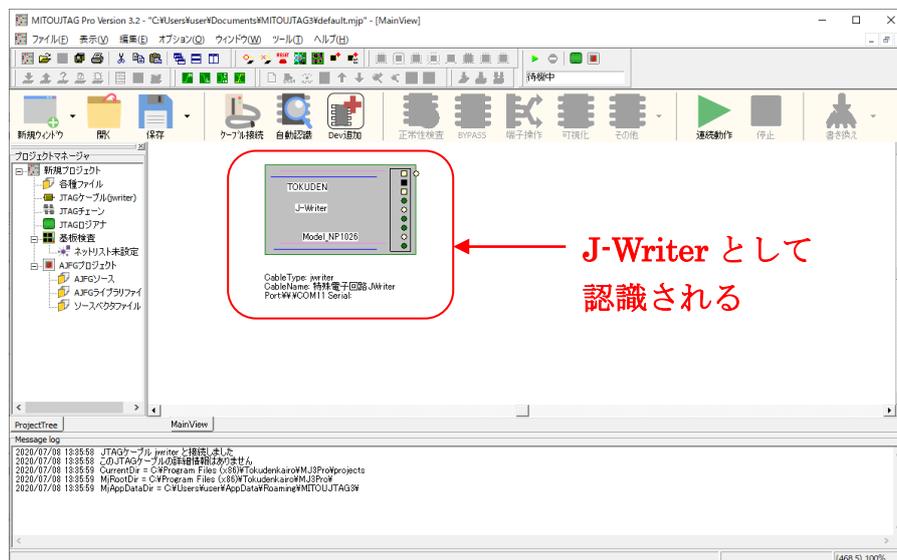


図 15 JTAG チャレンジ基板が認識されたようす

MITOUJTAG を先に起動している場合は、「ケーブル未接続」アイコンの上で右クリックし、ケーブルの自動検出を実行します。(図 16)

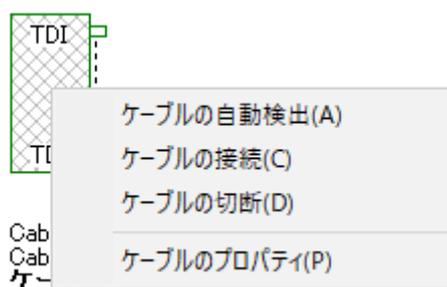


図 16 ケーブルの自動検出

4. 6 デバイスの自動認識

J-Writer ケーブルとして認識されたら、デバイスの自動認識ボタンを押します。



図 17 デバイスの自動認識ボタン

XC7S25 と 10M02 という 2 つのデバイスが検出されます。(図 18)

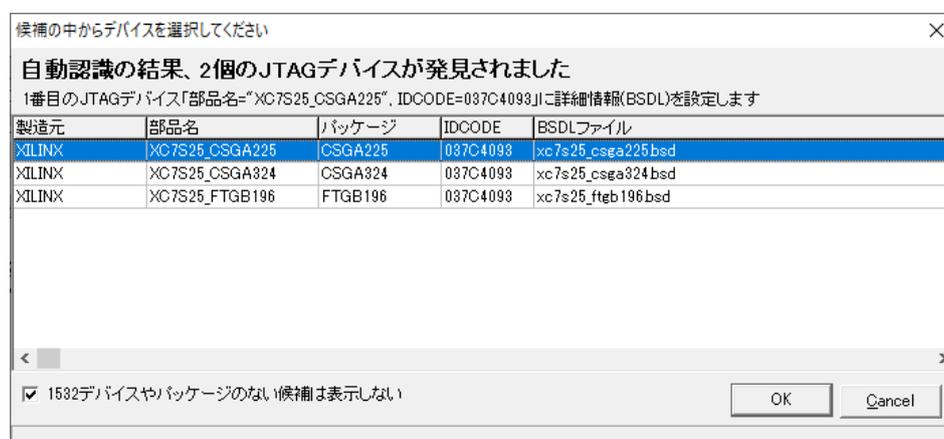


図 18 2 つのデバイスが検出される

1 つ目のデバイスは Spartan-7 です。いくつかある候補の中の 225 ピンのものを選びます。2 つ目のデバイスは MAX10 です。いくつかある候補の 169 ピンのものを選びます。

一般的に複数のパッケージが存在する IC は、ダイは同じでパッケージとボンディングを変えているだけなので JTAG では識別できません。この選択は手作業が必要になります。

4. 7 可視化を行う

画面に表示された Spartan-7 と MAX10 デバイスのアイコンをクリックし（CTRL を押しながらかlickすることで複数選択できる）、可視化ボタンを押します。

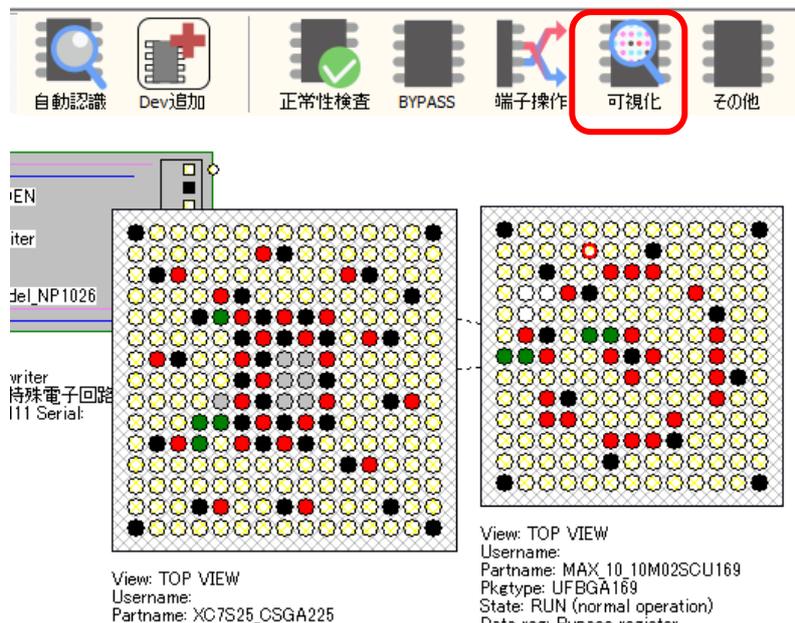


図 19 Spartan-7 と MAX10 を選択した状態

画面上の Spartan-7 と MAX10 の端子に色が付き、端子の状態が画面上で見えるようになります。この状態で連続動作ボタンを押すと、連続して可視化を実行します。

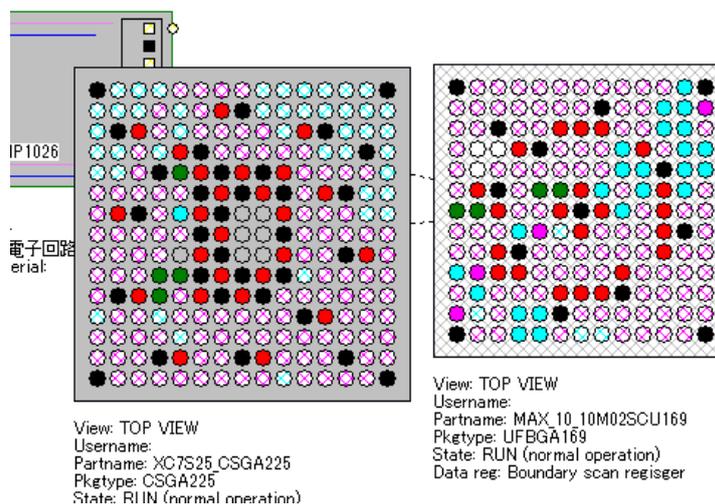


図 20 端子の可視化状態

なお、ピンクの端子は H レベル、水色の端子は L レベル、塗りつぶしは出力、網掛けは入力、赤と黒は電源の端子を表しています。

4. 8 端子の操作

可視化が行える状態で端子操作ボタンを押すと、JTAG 対応 IC の動作が停止します。これを EXTEST モードと言います。

厳密に言えば EXTEST では IC は停止しているわけではなく、内部から出てくる出力信号を JTAG バウンダリスキャンで止めて固定値を出している状態です。そのため、IC のコアは外部からの信号を受け取っています。

EXTEST モードで端子をマウスクリックすると、図 21 のようなプルダウンが出ます。ここで「強制的に H 出力」を選択すると、選択された端子は H レベルを出力するようになります。

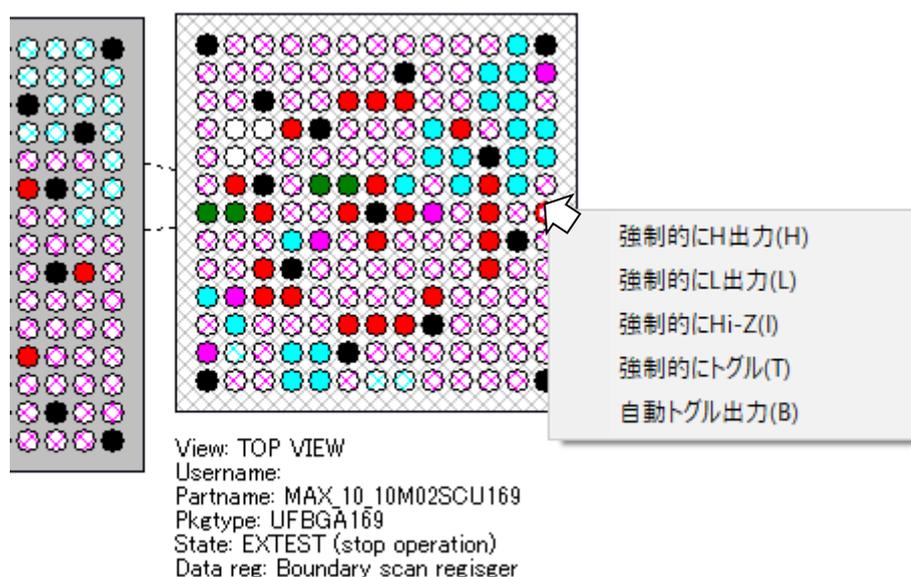


図 21 EXTEST で端子をクリック

4. 9 Spartan-7 への書き込み

XC7S25 を選択して、書き換えボタンを押します。付属 CD-ROM (あるいはダウンロードデータ) の main_wrapper.bit を選択します。

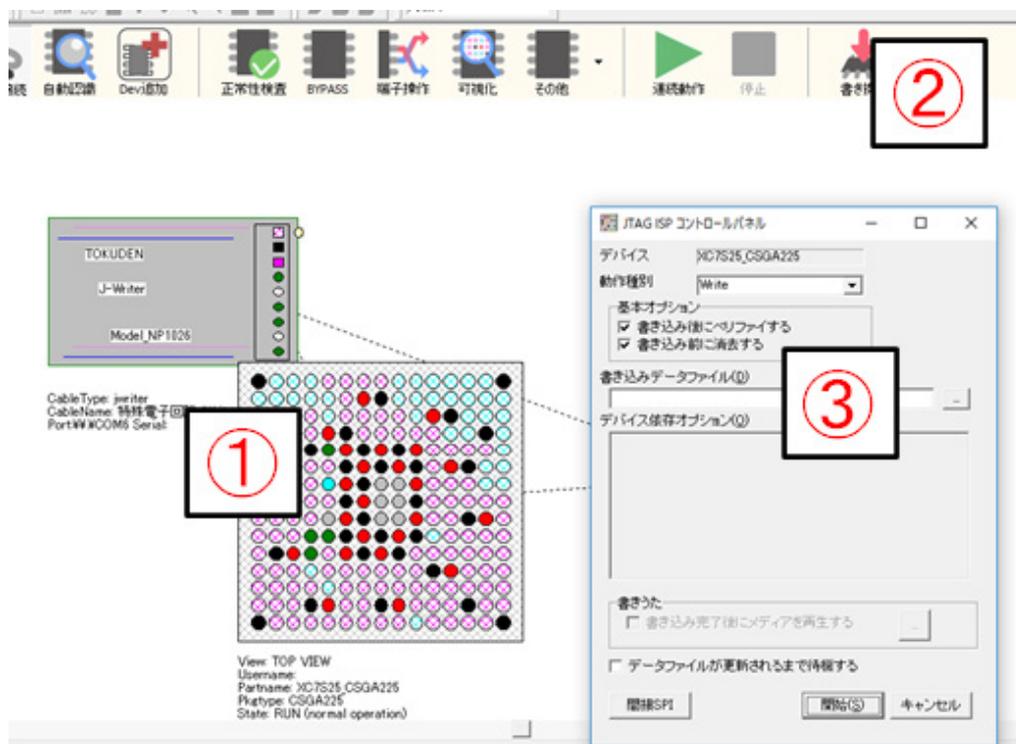


図 22 Spartan-7 への書き込み手順

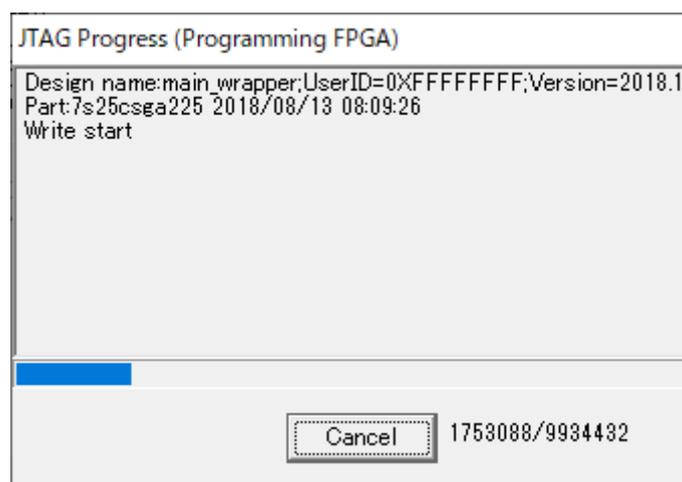
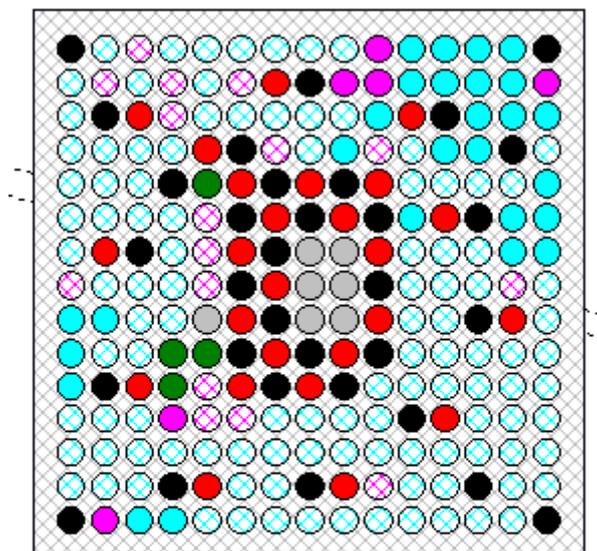


図 23 Spartan-7 への書き込み中のようす

Spartan-7 への書き込みに成功すると、下の図のように多くの未使用端子が L 入力状態となり、上側のいくつかの端子がチカチカを始めます。



View: TOP VIEW
 Username:
 Partname: XC7S25_CSGA225
 Pkgtype: CSGA225
 State: RUN (normal operation)
 Data reg: Boundary scan register

図 24 書き込みに成功した Spartan-7

4. 10 基板の動作を確認する

Spartan-7 が書き込まれたら、マイクからスピーカーまでひとつおりの信号経路が接続されました。

MAX10 横のスライドスイッチ(SW5)を↑にして、MAX10 横のプッシュスイッチ(SW2)を押すと、スピーカーからピューピュー音が鳴ります。スライドスイッチを↓にしてプッシュスイッチを押すと、スピーカーからマイクで拾った音になる・・・はずです。

しかし、動作は期待とは裏腹に MAX10 のリセットを押している間しか動かないというものです。この原因をバウンダリスキャンを使って考えてみましょう。

4. 10 SVF プレイヤーによる MAX10 の書き込み

MITOIJTAG はほとんどの XILINX デバイスには書き込みができますが、Intel デバイスで書き込み対応しているものは多くありません。そのような書き込み非対応のデバイスであっても、SVF プレイヤーを使用することで書き込みができる場合があります。

メインメニューから「ツール」→「SVF プレイヤー」で起動します。

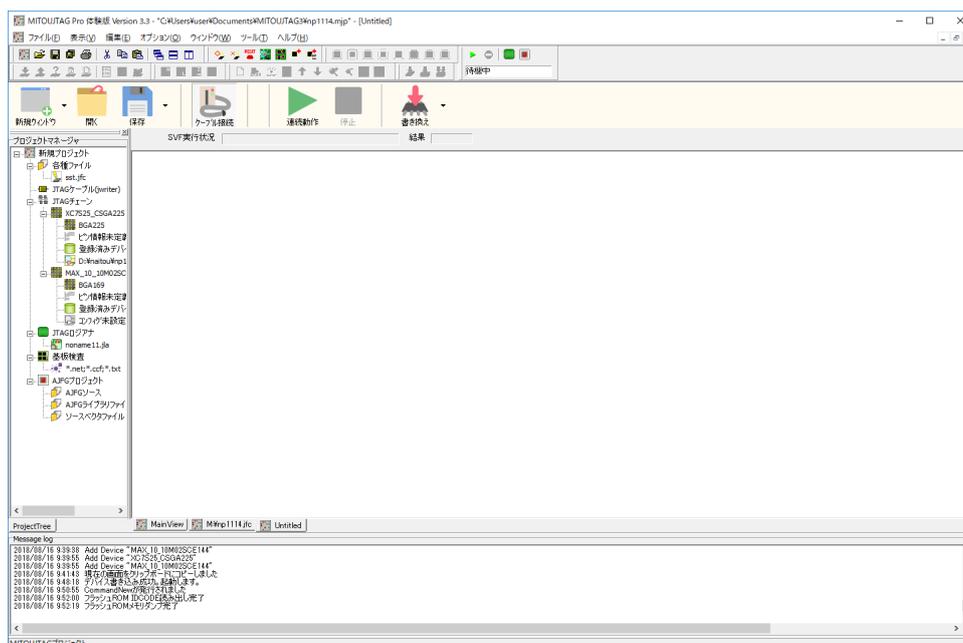


図 25 SVF プレイヤー

「開く」ボタンを押し、付録 CD-ROM にある max10.svf (2018/8/14 7:18 1464kB)を選択するか、そのファイルの中身を SVF プレイヤーに貼り付けて、連続動作ボタンを押します。

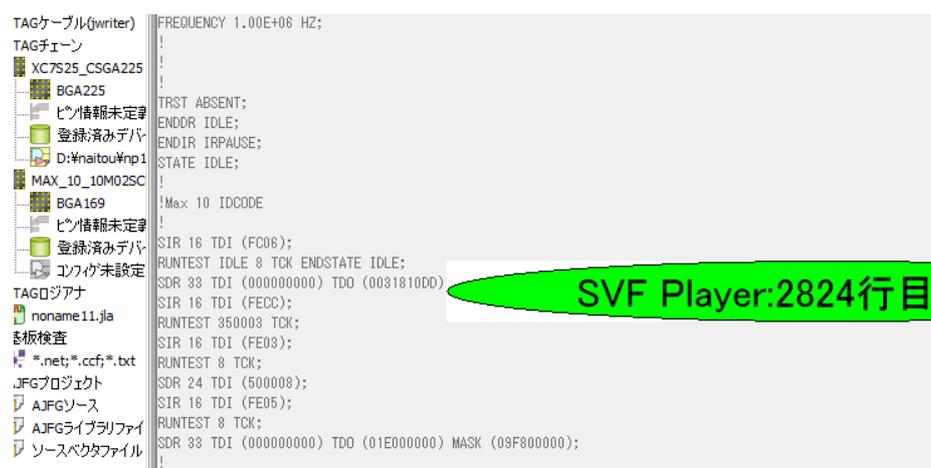


図 26 SVF 実行中のようす

最後までエラーなく実行されたら、MAX10 への書き込みは成功です。

SVF の例をリスト 1 に示します。SVF の文法については細かくは説明しませんので、なんとなくでよいので意味を推測してください。

```

TRST ABSENT;
ENDDR IDLE;
ENDIR IRPAUSE;
STATE IDLE;
SIR 16 TDI (FC06);
RUNTEST IDLE 8 TCK ENDSTATE IDLE;
SDR 33 TDI (000000000) TDO (0031810DD) MASK (0FFFFFFF);
SIR 16 TDI (FECC);
RUNTEST 350003 TCK;
SIR 16 TDI (FE03);
RUNTEST 8 TCK;
    
```

リスト 1 SVF の例

4. 1 1 信号名の設定

FPGA の端子はユーザが割り当てるため、デフォルトでは意味のない名前となっています。(IO__B2 など)。そのため、基板のデバッグをする際には FPGA の設計時に使用した制約ファイルを読み込むことで名前を設定します。

Spartan-7 の端子に名前を付けるには、Spartan-7 の上で右クリックし、ピン定義ファイルの登録を選択します。



図 27 ピン定義ファイルの登録

ファイル選択ダイアログが開いたら、付録 CD-ROM にある np1114.xdc を選択します。

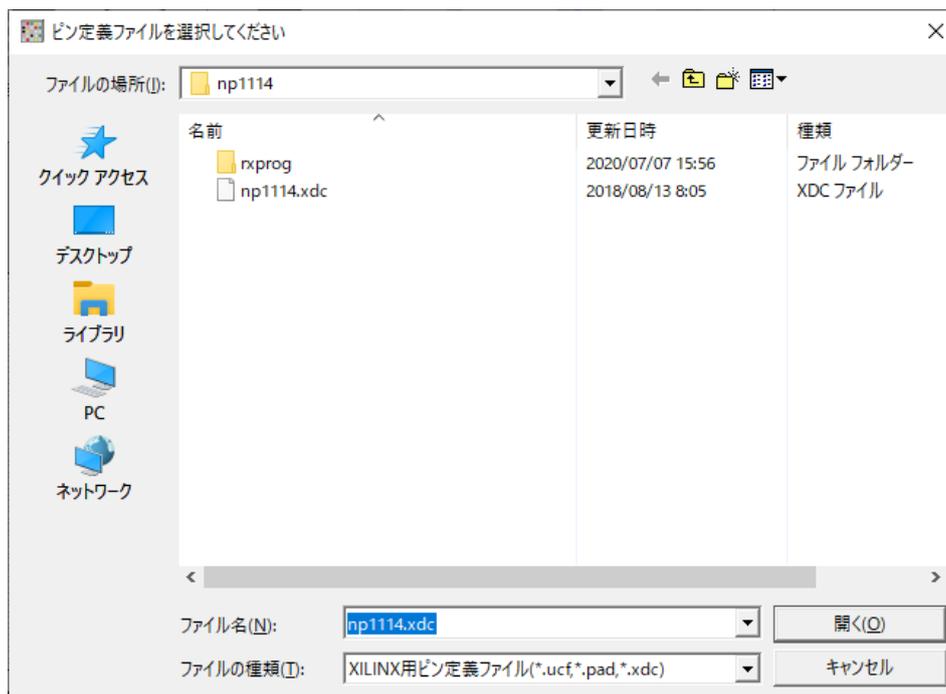


図 28 Spartan-7 用ピン定義ファイルの選択

同様に MAX10 のほうは max10.qsf を選択します。

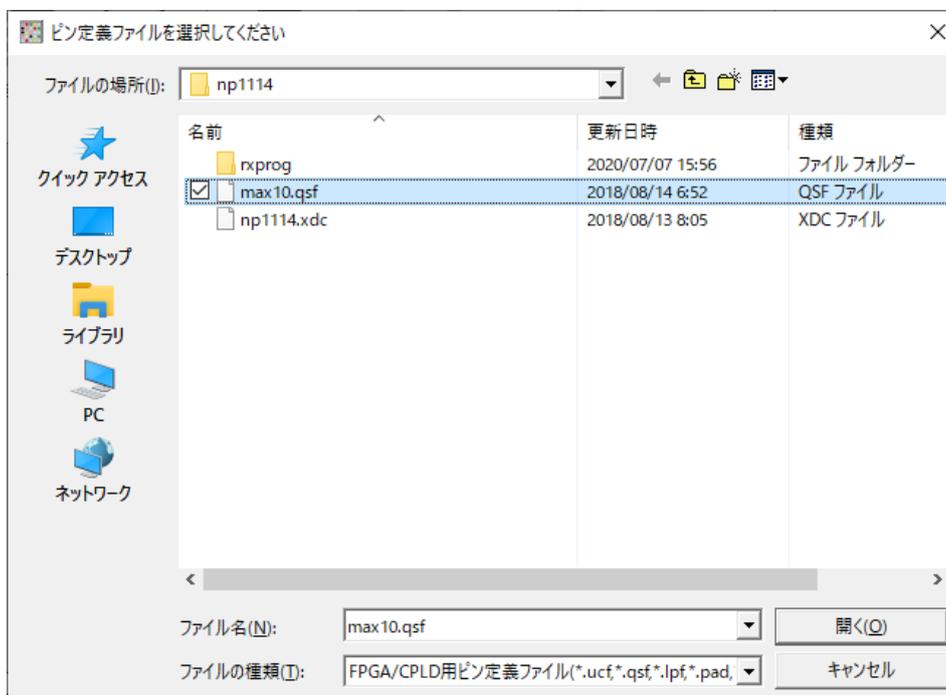


図 29 MAX10 用ピン定義ファイルの選択

4. 1 2 JTAG ロジックアナライザの起動

ツールバーの「新規ウィンドウ」から、JTAG ロジックアナライザを起動します。

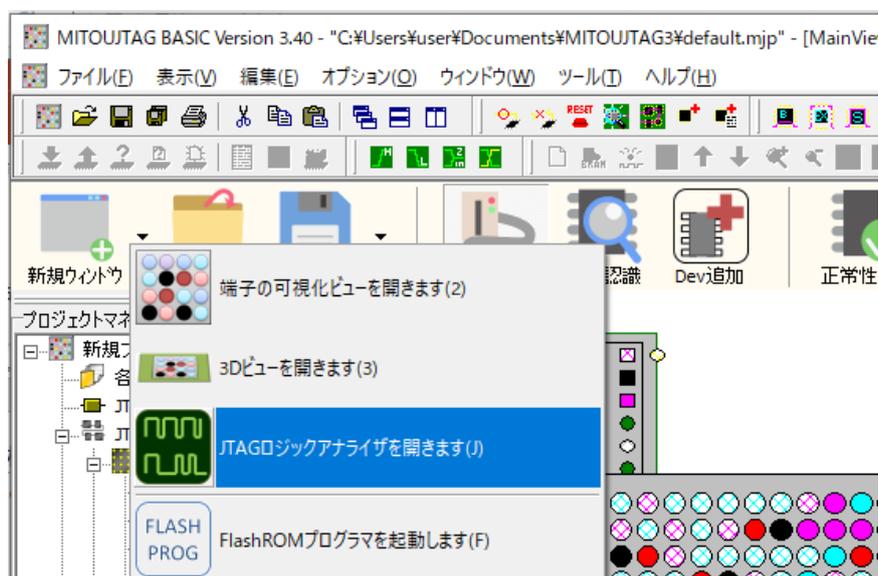


図 30 ツールバーの「新規ウィンドウ」

波形表示ウィンドウが開きます。「ユーザ名」をクリックすると信号名順にソートされ見やすくなります。ここで連続動作ボタンを押すと FPGA/CPLD の端子の波形が表示されます。

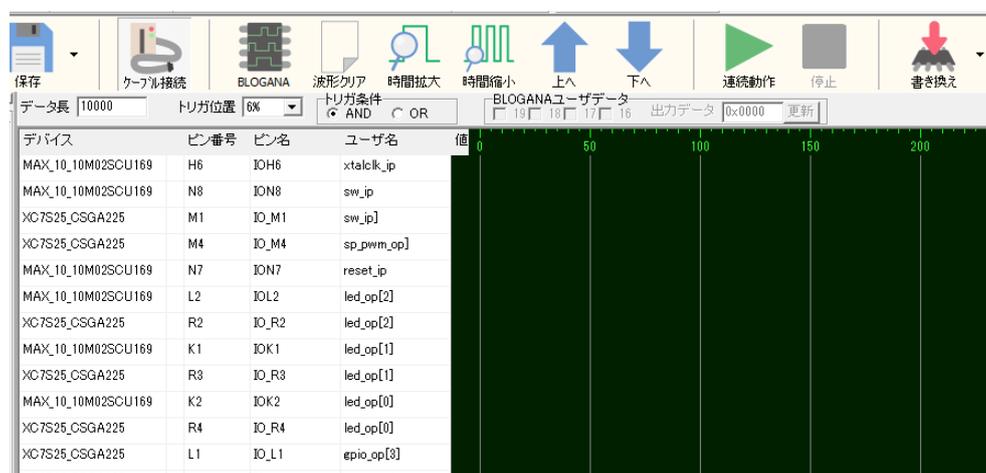


図 31 ロジアナ画面

5. 課題編

5. 1 準備

Intel(ALTERA)のほかいくつかのベンダーのデバイスは、未書き込みと書き込み済の状態でも IDCODE や IR ステータスが変わるため、デバイスの認識後に端子の可視化や EXTEST を行うとエラーが出る場合があります。この問題に対処するには BSDL を修正しなければなりません。付録 CD-ROM の 10M02SCU169.bsd では何が書き変わっているかを確認してください。

- Intel 提供の BSDL

```
141 attribute INSTRUCTION_CAPTURE of MAX_10_10M04SCM153 : entity is "01010101";↓
142 ↓
143 attribute INSTRUCTION_PRIVATE of MAX_10_10M04SCM153 : entity is "PRIVATE"; ↓
144 ↓
```

- 修正が施された BSDL

```
151 attribute INSTRUCTION_CAPTURE of MAX_10_10M02SCU169 : entity is "0101010X01";↓
152 ↓
153 attribute INSTRUCTION_PRIVATE of MAX_10_10M02SCU169 : entity is "PRIVATE"; ↓
154 ↓
```

5. 2 低レベル JTAG 操作

前ページの SVF と、付属の資料 (JTAG の基礎と応用)、および Spartan-7 と MAX10 の BSDL ファイルなどを読み解きながら、以下のことを行う SVF ファイルを記述してください。

- 2つの FPGA の IDCODE を確認してください
- Spartan-7 FPGA の SW の状態を見てください。
- MAX 10 についている LED を ●○○と○○●の状態にしてください

5. 3 JTAG ロジアナによるアナログ波形確認

音声またはスライドボリュームの位置は、ADC でサンプリングされ、デジタル化されて CPLD から FPGA へと送られます。この信号はパラレルであるため JTAG ロジックアナライザでアナログ信号として表示することができます。図 32 に示すような波形を表示させてください。

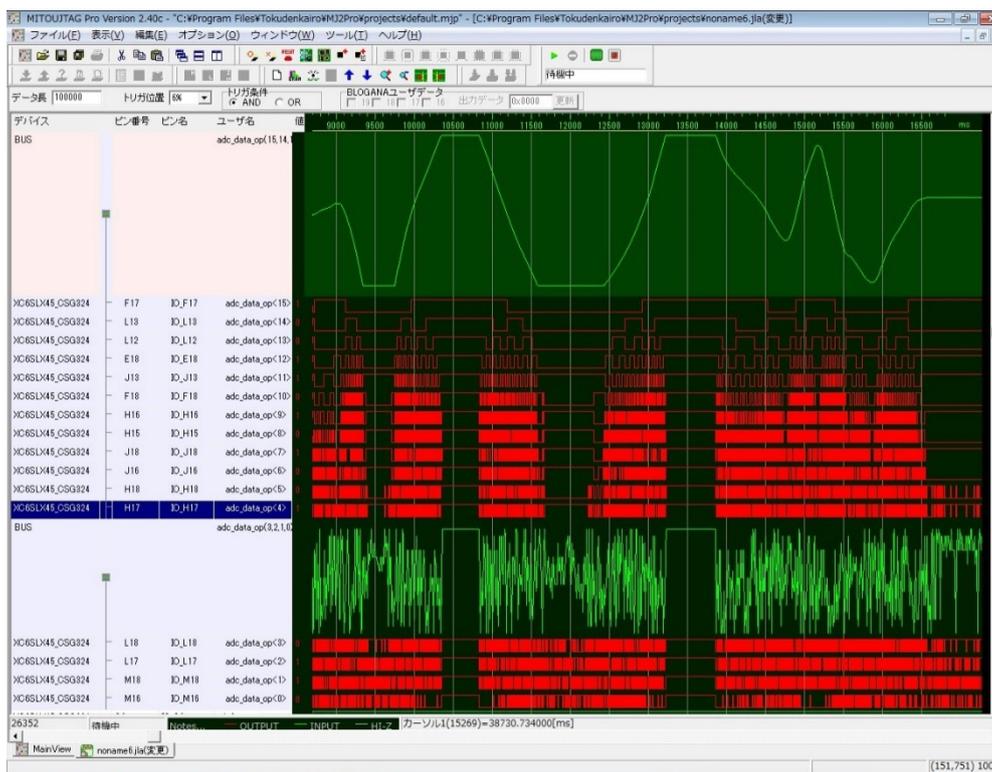


図 32 ADC サンプルングデータの可視化

5. 4 SAMPLE と EXTEST による端子の操作

本基板の CPLD と FPGA は、表 4 に示す箇所がバウンダリスキャンで操作可能です。このうち、できる限り多くの場所の観察し、操作してください。なお、ピン配置は回路図またはピン定義ファイルを参照してください。

表 4 EXTEST と SAMPLE で操作可能な箇所

- Spartan-7 のユーザ SW
- Spartan-7 の LED
- Spartan-7 のスピーカ
- MAX10 のユーザ SW
- MAX10 のリセット SW
- MAX10 の LED
- Spartan-7 に接続された SPI ROM
- Spartan-7 に接続された BPI Flash ROM
- Spartan-7 に接続された DDR3 SDRAM
- MAX10 と Spartan-7 間の接続

5. 5 基板デバッグ

この基板には下記のような既知の問題が確認されています。回路図や FPGA のデータシートを読みながら、問題の原因を究明し、修正してください。

- Spartan-7 が ROM からコンフィギュレーション ROM から起動しない
- Spartan-7 のクロックは MAX10 からしか供給されないが、MAX10 からクロックは来ていないのではないだろうか？
- 音声が悪い？FPGA と CPLD 間の配線が正しくつながっていないのではないだろうか？
- DDR3 SDRAM が動いていないのではないだろうか？オシロでは見れない内層の配線が間違っているか、切れている？

5. 6 BPI フラッシュ ROM

「ツール」→「フラッシュ ROM プログラマ」を起動すると、パラレル接続のフラッシュ ROM の読み書きが可能になります。

このツールを起動し、付録 CD-ROM に格納されている設定ファイル(np1114.jfc)を読みこみ、フラッシュ ROM の CFI コードを読み出してください。また、適当なデータを書きこんでみてください。

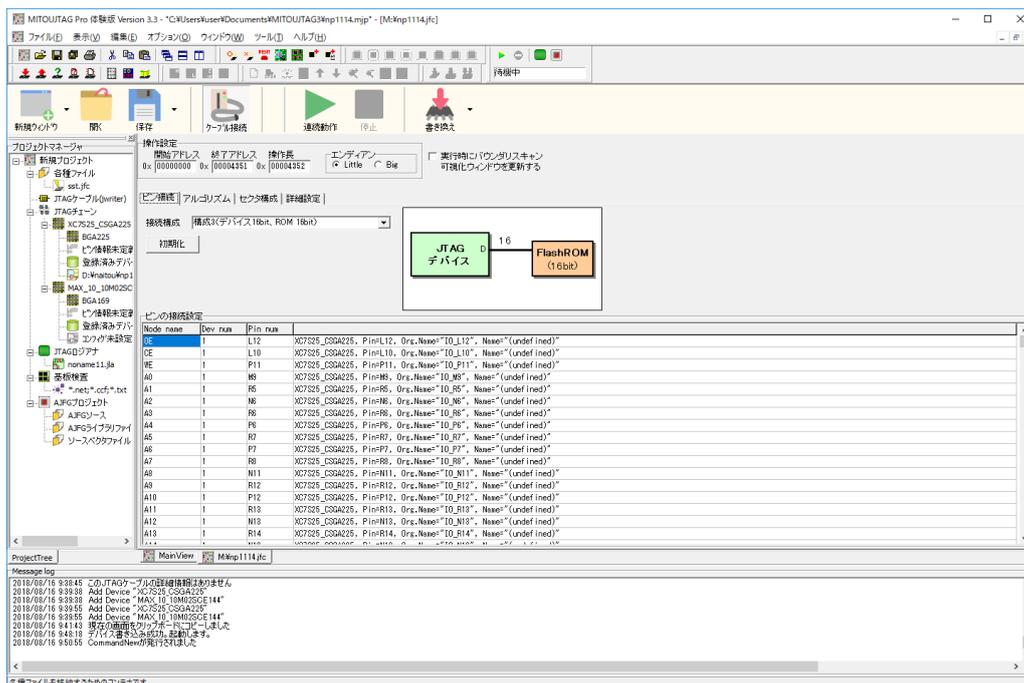


図 33 パラレルフラッシュプログラマ

5. 7 簡易基板検査

簡易基板検査機能を使うと、基板の配線を自動的にチェックして接続を洗い出してくれます。また、「確実に動く基板」(ゴールドデータ)と比較して相違点を抽出することができます。

DDR3 SDRAM デバッグおよび CPLD/FPGA 間のデバッグに成功した方は、簡易基板検査を試してみてください。

この機能は「ツール」→「シンプル基板検査」から起動できます。

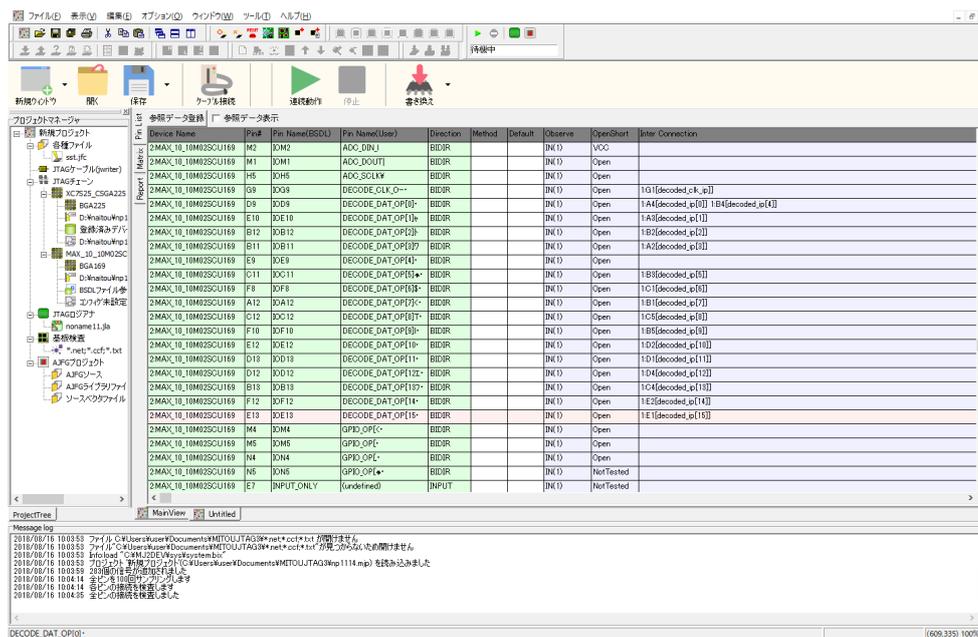


図 34 簡易基板検査機能

課題は以下のとおりです。

- JP1、JP2 のジャンパを抜き差しして、基板検査機能でどのような変化が現れるかを確認してください
- FPGA が未書き込みの状態と、書き込み済みの状態でどのような変化が現れるかを確認してください。
- DDR の DQS や CLK など差動信号がどのように見えるかを確認にしてください

6. FPGA の説明

本基板の FPGA、Spartan-7 の内部回路は図 35 の構成となっています。この回路は、MIG を利用した DDR3 アクセスと、MAX10 からクロックとデータを受け取って動作する回路、DDS による矩形波または $\Delta \Sigma$ によるアナログ出力回路から成り立っています。

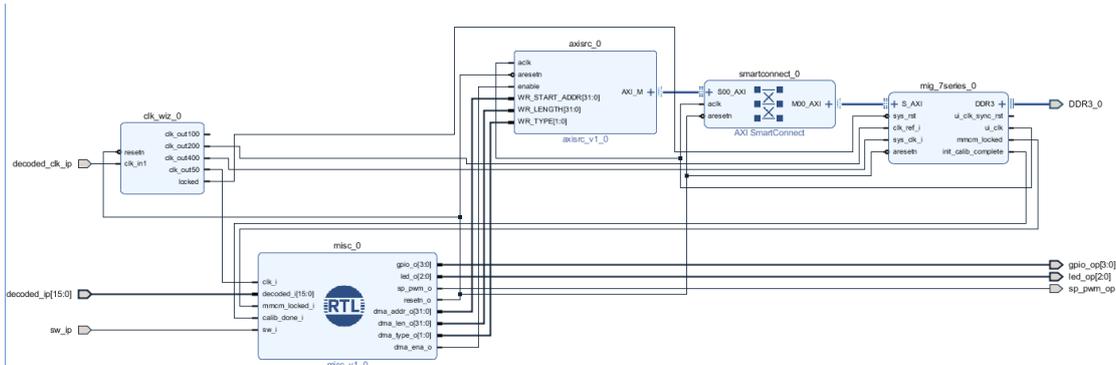


図 35 Spartan-7 の内部回路

Spartan-7 の RTL モジュールの端子のうち、重要なものを解説します。

- LED(0)・・・SDRAM 初期化完了で消灯
- LED(1)・・・MMCM がロックすると消灯
- LED(2)・・・タイマーでチカチカ
- decoded_ip[11:0]は DDS の周期またはアナログ値
- decoded_ip[12]が 0 なら DDS 動作をし、1 なら $\Delta \Sigma$ DAC 動作をする
- decoded_ip[13]が 1 なら resetn_o は'0'となり、DDR3 メモリコントローラはリセットされる

MAX10 は表 5 に示す動作を行います。動作の詳細はソースコードを参照してください。

表 5 MAX10 の機能

- AD コンバータの操作
 - ただし、リセット中は ADC 停止
- DATA_OP への出力
 - DATA_OP[11:0]に ADC 値を出力
 - DATA_OP(15) <= '0';
 - DATA_OP(14) <= '0';
 - DATA_OP(13) <= not reset_ip;
 - DATA_OP(12) <= sw_ip;
- LED_OP への出力
 - LED_OP(0) ADC タイミング;
 - LED_OP(1) ユーザスイッチ;
 - LED_OP(2) LED チカチカ;

7. 付録 CD-ROM

付録 CD-ROM には JTAG チャレンジ基板での学習に必要なファイルが収録されています。この CD-ROM の内容は本製品 Web サイトからダウンロードすることもできます。

表 6 付属 CD-ROM の内容物一式

ファイル名/フォルダ名	役割
max10¥	MAX10 のプロジェクトファイル一式
sp7¥	Spartan-7 のプロジェクトファイル一式
rxprog¥Windows 版	RX マイコン用プログラマ(Windows 版)
rxduinodrv_x86x64	RX マイコン用プログラマのデバイスドライバ
NP1114-SDRAM¥	JTAG スクリプトのサンプルフォルダ
10M02SCU169.bsd	MAX10 の BSDL ファイル
xc7s25_csga225.bsd	Spartan-7 の BSDL ファイル
np1114.jfc	フラッシュ ROM プログラマ用定義ファイル
MJProTrial330.exe	MITOUJTAG 体験版
np1114.sch	回路図
JTAG の基礎と応用.pdf	JTAG 参考資料
max10.qsf	MAX10 のピン定義ファイル
max10.svf	MAX10 の書き込み用ファイル
mig.xdc	Spartan-7 の DDR3 メモリ用のピン定義ファイル
np1114.xdc	Spartan-7 のピン定義ファイル
main_wrapper.bit	Spartan-7 の書き込み用ファイル
spi_xc7s35.bit	Spartan-7 に SPI ROM 書き込みする際に必要になる
JTAG チャレンジ基板マニュアル.pdf	本マニュアル
MJProTrial330a.exe	MITOUJTAG Pro 体験版

『JTAG チャレンジ基板』取扱説明書

令和 2 年 7 月 8 日 特殊電子回路株式会社

©Copyright 2020 特殊電子回路(株) All rights reserved. 無断転載を禁じます